

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2003031688
PUBLICATION DATE : 31-01-03

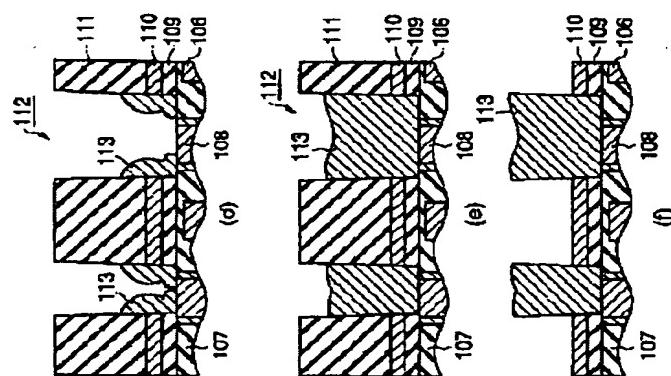
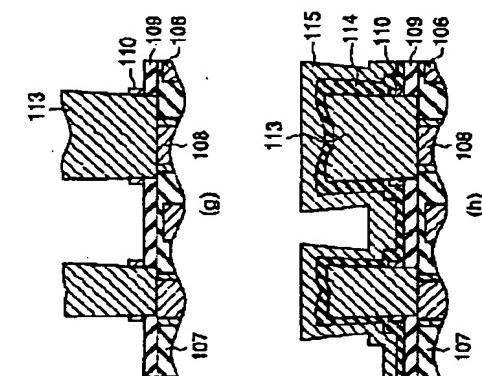
APPLICATION DATE : 17-07-01
APPLICATION NUMBER : 2001217225

APPLICANT : TOSHIBA CORP;

INVENTOR : YAMAZAKI SOICHI;

INT.CL. : H01L 21/8242 C25D 5/02 C25D 7/12
H01L 21/288 H01L 27/105 H01L 27/108

TITLE : METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To form structure which restrains oxidation of a contact plug connected with a lower electrode and prevents the lower electrode from falling down, when the lower columnar electrode of a capacitor is formed by an electroplating method.

SOLUTION: This method includes a process for forming a silicon nitride film 109 composed of an insulator on an interlayer insulating film and a contact plug, a process for forming a ruthenium film 110 on the silicon nitride film 109, a process for forming a silicon oxide film 111 composed of an insulator on the ruthenium film 110, a process for forming an aperture 112 penetrating the silicon nitride film 109, the ruthenium film 110 and the silicon oxide film 111, a process for embedding an electrode material and forming the lower electrode 113 in the aperture part 112 by an electroplating method; a process for eliminating the silicon oxide film 111 selectively, and a process for eliminating the ruthenium film 110 on the silicon nitride film 109.

COPYRIGHT: (C)2003,JPO

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-31688

(P2003-31688A)

(43)公開日 平成15年1月31日(2003.1.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト [*] (参考)
H 0 1 L 21/8242	C 2 5 D	5/02	B 4 K 0 2 4
C 2 5 D 5/02		7/12	4 M 1 0 4
7/12	H 0 1 L	21/288	E 5 F 0 8 3
H 0 1 L 21/288		27/10	6 2 1 B
27/105			6 5 1

審査請求 未請求 請求項の数 5 O.L. (全 11 頁) 最終頁に統ぐ

(21)出願番号 特願2001-217225(P2001-217225)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22)出願日 平成13年7月17日(2001.7.17)

(72)発明者 清利 正弘

前代・後代

本公司係專門製造及販售之公司所內

(72)発明者 山崎

神奈川県構

株式会社東芝横浜事業所内

(74) 代理人

100033413

井理上 錦江 武彦

(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

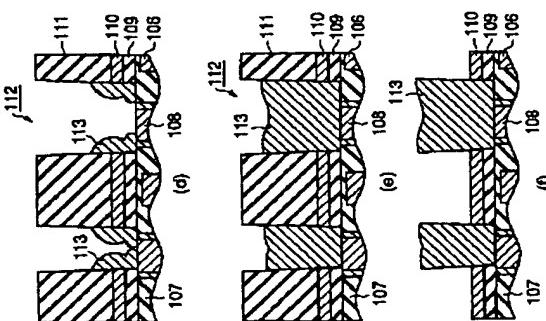
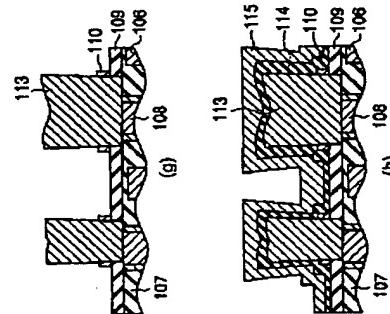
最終頁に統ぐ

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】キャパシタの円柱形状の下部電極を電解めつき法により形成する際、下部電極に接続するコンタクトプラグの酸化を抑制すると共に、下部電極倒れを防止される構造を形成する。

【解決手段】前記層間絶縁膜及びコンタクトプラグ上に絶縁体からなるシリコン窒化膜109を形成する工程と、シリコン窒化膜109上にルテニウム膜110を形成する工程と、ルテニウム膜110上に絶縁体からなるシリコン酸化膜111を形成する工程と、シリコン窒化膜109、ルテニウム膜110、及びシリコン酸化膜111を貫通する開口部112を形成する工程と、開口部112内に電解めっき法によって、電極材を埋め込み下部電極113を形成する工程と、シリコン酸化膜111を選択的に除去する工程と、シリコン窒化膜109上のルテニウム膜110を除去する工程とをふくむ。



【特許請求の範囲】

【請求項1】半導体基板上に、層間絶縁膜と、該層間絶縁膜を貫通するホール内に埋め込まれたコンタクトプラグとを形成する工程と、

前記層間絶縁膜及びコンタクトプラグ上に、絶縁体からなる電極支持層を形成する工程と、

前記電極支持層上に導体膜を形成する工程と、

前記導体膜上に絶縁体からなる鋳型層を形成する工程と、

前記鋳型層、導体膜、電極支持層を貫通し、前記コンタクトプラグの表面が露出する開口部を形成する工程と、前記開口部内に電解めっき法によって、電極材を埋め込み下部電極を形成する工程と、

前記下部電極を残しつつ、前記鋳型層を選択的に除去する工程と、

前記電極支持層上の導体膜を除去する工程と、

前記下部電極の表面に、金属酸化物からなるキャバシタ絶縁膜と上部電極とを順次形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】電解めっき法を用いた電極材の埋め込み時に、前記導体膜がシード層として用いられる特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記開口部内に選択的に形成され、導体膜と電気的に接続する第2の導体膜を形成し、

電解めっき法を用いた電極材の埋め込み時に、第2の導体膜がシード層として用いられる特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記下部電極を構成する電極材は、Ru, Pt, Ir, Pd, Os, Re, 及びRhの少なくとも一つを主たる構成要素として含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】前記導体膜は、Ru, Pt, Ir, Pd, Os, Re, 及びRhの少なくとも一つを主たる構成要素として含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に電解めっき法を用いてキャバシタの下部電極を形成する方法に係わる。

【0002】

【従来の技術】電子デバイスのサイズが小さくなっていることに伴い、電子デバイスの機能を単に回路構成のみで達成するばかりではなく、機能性薄膜等の材料自体の特性を利用してデバイスの機能を実現することが有利になりつつある。例えばトランジスタの組み合わせで情報の記憶動作を行うSRAM(Static Random Access read write Memory)、EEPROM(Electrically Erasable and Programmable Read Only Memory)、あるいはトランジスタとキャバシタの組み合わせで情報の記憶動

作を行なうDRAM(Dynamic Random Access Memory)、などの集積回路を従来のMOSトランジスタとMOSキャバシタで実現することはこれらの素子のセル面積が縮小されていくなかで非常に困難なものになっている。特にキャバシタ素子は集積回路の最小加工寸法が小さくなってしまってS/N比を低下させないためには一定のキャバシタ容量を確保し続けていく必要があり、キャバシタ素子のキャバシタ誘電体膜としてシリコン酸化膜やシリコン窒化膜／シリコン酸化膜積層膜(NO膜)よりも高い誘電率を発現する Ta_2O_5 、 $Ba_xSr_{1-x}TiO_3$ [BST]や $PbZr_xTi_{1-x}O_3$ [PZT]などの機能性材料薄膜の採用が検討されるようになってきており、FRAM(Ferroelectric Random Access read and write Memory)等の全く新しい機能をもったデバイスが提案されはじめている。

【0003】上記 Ta_2O_5 、BSTやPZTなどはキャバシタ誘電体膜として有望であるが、いずれも金属酸化物であるために、従来キャバシタ電極として用いられてきたドープト多結晶シリコン膜を電極として用いることができない。なぜなら、多結晶シリコンを電極として用いた場合、金属酸化物であるキャバシタ誘電体膜成膜時に多結晶シリコン表面が酸化されて形成されるシリコン酸化物膜が低誘電率層としてはたらくためである。そこで高(強)誘電体膜を用いて集積度の高い半導体集積回路のキャバシタ素子を形成するうえで、電極材としては酸化されにくく、酸化されても導電体である白金、ルテニウム等の貴金属が有望である。

【0004】また、微細なキャバシタ電極として利用するためには、RIE等の異方性エッチングで微細加工を行うか、ダマシーン技術で加工するために微細な開口部への埋め込みを行う必要がある。しかし、概して貴金属は化学的に不活性のために、精度よく形状をコントロールしてエッチングすることが困難であり、また高融点金属であるために、従来配線技術等で行われていた金属の溶融を利用して開口部へ埋め込む方法も困難、また貴金属は高価であるために従来微細なコンタクトホールや開口部への埋め込み技術として用いられてきたCVD法は原料の使用効率が低いために、実用化にはスパッタ技術等に比べて高すぎるコストが問題になっていた。

【0005】そこで、貴金属電極の形成方法として、従来のCVD法やスパッタ法にかわって、めっきを用いる方法が提唱されている。すなわち、キャバシタ下部電極の形状の開口部をあらかじめ形成した鋳型層に電解めっき法により貴金属膜を形成し、化学的機械研磨法(CMP法)により、貴金属膜を加工する。これによりドライエッチング法を用いることなく、貴金属原料使用量も最小限に抑えて微細な貴金属キャバシタ電極を形成することができる。めっき法には電解めっきと無電解めっきがあるが、貴金属膜の場合、一旦成膜してしまうと、既に述べたようにエッチングで除去することが困難なので、

選択成長が可能な電解めっき法が適している。

【0006】従来、電解めっき法で貴金属電極を形成する方法として二通りの方法が提唱されていたが、これらの方法のいずれにもそれぞれ以下に記述するような問題があった。

【0007】第一の方法は基板上に鋳型層を形成し、キャバシタ電極となる穴を前記鋳型層に形成し、基板全面にシード層を形成し、基板全面で貴金属膜を成長させる（従来例として特開平11-251550号公報）。以下はその一例である。

【0008】図6(a)に示すように、図示されない半導体基板上にトランジスタ、素子分離領域、ピット線606を形成し、層間絶縁膜607で被覆する。層間絶縁膜607にコンタクトホールを形成し、バリアメタル、タングステン膜を埋め込む。次にCMPによりコンタクトホール内以外の金属膜を取り除きコンタクトプラグ608を形成する。シリコン窒化膜609、シリコン酸化膜610を順次形成して鋳型層を形成し、公知のリソグラフィ技術によりシリコン窒化膜609、シリコン酸化膜610を加工して下部電極が形成される開口部611を形成する。

【0009】次いで、図6(b)に示すように、基板全面にシード層となる白金膜612をスパッタ法により形成する。次いで、図6(c)に示すように、白金膜612をシードとして、電解めっき法により白金膜613を成長させる。次いで、図6(d)に示すように、CMP法により、開口部内以外の白金膜612、613を除去する。次にウェットエッチングにより、シリコン酸化膜610を除去することにより、キャバシタ下部電極となる白金膜が形成される。

【0010】この方法ではコンタクトプラグとキャバシタ下部電極とのあわせずれがおきても、コンタクトプラグ上面が酸化性雰囲気に露出されないことが利点としてあげられる。しかし、この方法には以下のようないくつかの問題があった。

【0011】立体構造の下部電極を用いる動機が立体下部電極の側壁を利用することにあるので、アスペクト比较大い(0.1ミクロン世代で5以上になることが想定される)開口部にめっき貴金属膜の埋め込みを行う必要があり、開口部の底までシード層を形成する必要があり、スパッタ法による形成が困難になることが予測される。また、電解めっきのシード層は基板全面に形成されてしまうために、電解めっきによって形成される貴金属膜も基板全面に形成され、この貴金属膜をCMPにより加工する必要がある。そのため、極めて厚い貴金属膜を加工する困難さがともなう。また、シード膜をスパッタ法で形成する場合、通常開口部上部側でシード膜厚が厚くなったり形状になりやすいので、電解めっきを行った場合、開口部上部付近の膜中に“す”ができやすくなるために、CMP加工時に“す”的部分にスラリーがしみこ

む等の問題がおこりやすい。また、下部電極を形成するために最終的に鋳型層の除去が必要になるが、鋳型層除去の際に密着性の低いシード層（本例ではスパッタ白金膜）と鋳型層（本例ではシリコン窒化膜）の間をエッチング液が浸透して、図5(f)に示すように下層の層間絶縁膜等を侵食する危険性がある。

【0012】第二の方法は、基板上にシードとなる導体膜を形成した後に鋳型層を形成し、キャバシタ電極となる穴を前記鋳型層に形成し、穴内にのみ露出している導体膜をシードとして電解めっきを行う（特開平11-265984号公報）。これによりシード膜のカバレッジの問題がなくなり、まためっき膜を選択成長させることで、余分な貴金属膜を除去する作業を軽減することができる。以下はその一例である。

【0013】先ず、図7(a)に示すように、図示されない半導体基板上にトランジスタ、素子分離領域、ピット線706を形成し、層間絶縁膜707で被覆する。層間絶縁膜707上にシリコン窒化膜708を形成したあとに公知のリソグラフィ技術によりコンタクトホールを形成し、バリアメタル、タングステン膜を埋め込む。次にCMPによりコンタクトホール内以外の金属膜を取り除きコンタクトプラグ709を形成する。次にルテニウム膜710、鋳型層となるシリコン酸化膜711を順次形成し、公知のリソグラフィ技術によりシリコン酸化膜711を加工して下部電極となる開口部712を形成する。

【0014】次いで、図7(b)に示すように、開口部712内に露出した前記ルテニウム膜710をシードとして、電解めっき法により白金膜713を選択成長させる。ここで電解めっき時間を制御することにより、白金膜713を開口部内部にのみ形成することが可能である。次いで、図7(c)に示すように、ウェットエッチングにより、シリコン酸化膜711を除去し、ルテニウム膜710を露出させる。この状態では白金膜713は電気的につながっているので、図7(d)に示すように、白金膜713をマスクとしてシードのルテニウム膜710をRIE法でエッチングすることにより、白金膜713が電気的に分離される。

【0015】この方法では、貴金属膜は鋳型層の穴内部にのみ選択的に成長させることができるので、前述の第一の方法に比して不要な貴金属膜の除去工程が不要であるという利点がある。また、この方法では貴金属膜は穴の底から成長するので、“す”が生じないという利点もある。

【0016】しかし、本方法にも以下のようないくつかの問題があった。第一にシード層を全面に形成したあとに、鋳型層の穴を形成するために、リングラフィ工程でのあわせずれにより、コンタクトプラグと、鋳型層の穴、すなわちキャバシタ下部電極との位置がずれてしまった場合、コンタクトプラグ上部が誘電体膜形成時の酸化性雰囲気に

対して露呈され酸化されてしまう可能性がある。

【0017】また、本方法では加工が終了した段階では貴金属下部電極は基板と底部でのみ接触している。一般に貴金属は下地との密着性が低いので、この貴金属下部電極の柱は容易に倒れることが懸念される。シード層として基板と密着性の高い金属乃至金属化合物膜、例えばTiやTiNを用いることで密着性の問題は回避可能であるが、TiやTiNは酸化されやすいので、誘電体膜成膜時の酸化性雰囲気で酸化されてしまうという新たな問題が発生する。

【0018】このようにめっき法を用いて、高誘電体キャバシタの下部電極を形成する従来技術にはいずれも実用上の問題があった。

【0019】

【発明が解決しようとする課題】上述したように、キャバシタの下部電極を電解めっき法を用いて形成する場合、開口部上部付近の膜中に“す”ができやすくなるために、CMP加工時に“す”的部分にスラリーがしみこむ等の問題がおこりやすい。また、下部電極が倒れやすいという問題があった。

【0020】本発明の目的は、キャバシタの円柱形状の下部電極を電解めっき法により形成する際、下部電極内の上部に“す”が形成されるのを防止すると共に、下部電極倒れを防止される構造を形成し得る、半導体装置の製造方法を提供することにある。

【0021】

【課題を解決するための手段】【構成】本発明は、上記目的を達成するために以下のように構成されている。

【0022】(1) 本発明(請求項1)に係わる半導体装置の製造方法は、半導体基板上に、層間絶縁膜と、該層間絶縁膜を貫通するホール内に埋め込まれたコンタクトプラグとを形成する工程と、前記層間絶縁膜及びコンタクトプラグ上に、絶縁体からなる電極支持層を形成する工程と、前記電極支持層上に導体膜を形成する工程と、前記導体膜上に絶縁体からなる鋳型層を形成する工程と、前記鋳型層、導体膜、電極支持層を貫通し、前記コンタクトプラグの表面が露出する開口部を形成する工程と、前記開口部内に電解めっき法によって、電極材を埋め込み下部電極を形成する工程と、前記下部電極を残しつつ、前記鋳型層を選択的に除去する工程と、前記電極支持層上の導体膜を除去する工程と、前記下部電極の表面に、金属酸化物からなるキャバシタ絶縁膜と上部電極とを順次形成する工程とを含むことを特徴とする。

【0023】本発明の好ましい実施態様を以下に記す。電解めっき法を用いた電極材の埋め込み時に、前記導体膜がシード層として用いられること。前記開口部内に選択的に形成され、導体膜と電気的に接続する第2の導体膜を形成し、電解めっき法を用いた電極材の埋め込み時に、第2の導体膜がシード層として用いられること。前記下部電極を構成する電極材は、Ru、Pt、Ir、P

d、Os、Re、及びRhの少なくとも一つを主たる構成要素として含むこと。前記導体膜は、Ru、Pt、Ir、Pd、Os、Re、及びRhの少なくとも一つを主たる構成要素として含むこと。

【0024】【作用】本発明は、上記構成によって以下の作用・効果を有する。

【0025】開口部の側面の底面側に露出する導体膜或いは第2の導体膜をシード層に用いて電極材の電解めつきを行い、開口部の底部側から選択的にめっき成長させることで、周辺からめっき成長してきた電極材膜が開口部中心付近で会合することによって生じる“す”がキャバシタ電極の底側に形成されるので、キャバシタ上部の形状がなめらかになる、キャバシタ上部から“す”を介して、スラリーが浸透する、或いは酸素等が拡散する問題がおこらない。

【0026】下部電極の根元は電極支持層内部に埋め込まれた形状になるため、倒れにくくなる。そのため、貴金属等の下地密着性の悪い金属もキャバシタ電極として用いることができる。

【0027】下部電極とコンタクトプラグとの合わせずれが生じても、コンタクトプラグの表面には支持層が形成されているので、金属酸化物からなるキャバシタを形成しても、プラグの表面が酸化されることがない。

【0028】前記導体膜又シード層内の側面に選択的に形成された第2の導体膜を電解めっき法におけるシード層とし、電極材を電解めっき法で成長させることで、電極材を開口部内に選択的に成長させることができるので、電極材の加工が不要、或いは最小限ですませることができる。

【0029】前記電解めっき法におけるシード層として、前記開口部に選択的に形成された第2の導体膜を用いることにより、下部電極に形成される“す”的位置が底面側に位置するようになり、より厚い電極支持層を用いることができるようになり、電極が倒れることを抑止する効果が大きくなる。

【0030】一般に、Ru、Pt、Ir、Pd、Os、Re、及びRh等の貴金属は蒸気圧の高い化合物が少なくて化学的にも安定なので微細加工が困難だが、本方法では貴金属を選択成長させることができるので、微細加工が容易にできる。貴金属を選択的に形成するので、通常必要になる貴金属のエッチバック工程が不要である。

【0031】酸化されにくく酸化物高誘電体キャバシタの電極として適している貴金属をシード層の導体膜として用いることで、開口部内に前記電極材を残して、前記鋳型層を除去し、残した電極材を分離することでキャバシタ電極を形成する工程で、前記導体膜を完全に除去する必要なくなる。例えばドライエッチングが比較的容易なRu、Os或いはRuO₂等を導体膜として用いる場合は、各キャバシタ電極が電気的に分離される程度の最小限のエッチングを行えばよい。

【0032】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0033】【第1実施形態】本発明の第1の実施例を図1を参照して説明する。

【0034】先ず、図1(a)に示すように、例えば不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の(100)面のp型又はn型のシリコン基板101の表面に、nチャネルトランジスタ形成領域にはpウェル、またpチャネルトランジスタ形成領域にはnウェルを形成する(不図示)。次いで、例えば反応性イオンエッティング(RIE)を用いて、素子領域以外の領域のシリコン基板101に深さ $0.2 \mu\text{m}$ 程度の溝を掘りこんだ後に、溝に絶縁膜を埋め込み、いわゆるSTI(Shallow Trench Isolation)技術を用いた素子分離層102を形成する。

【0035】次に、トランジスタのゲート絶縁膜として厚さ 60 nm 程度のゲート酸化膜103aを形成する。メモリセル部ではワード線となるゲート電極材103bを堆積する。なお、本実施形態では説明を省いたが、抵抗を小さくするためにいわゆるポリサイド構造(例えばポリSi膜とWSi₂膜の多層膜。それぞれ 50 nm 程度の膜厚)を用いても良いし、他の構造、例えば、単純なポリSi層のみやポリSi層とW膜を用いた積層膜構造でもよい。

【0036】次いで、ゲート電極材103b上に、シリコン窒化膜(Si₃N₄)からなるゲートキャップ層103cを形成する。その後、ゲートキャップ層103c上のゲート電極の形成領域に、図示されないレジスト膜を形成し、続いてこのレジスト膜をマスクに用いてゲートキャップ層103cを加工してレジスト膜を除去する。そして、ゲートキャップ層103cをマスクとして、ゲート電極材103bをパターニングすることによって、メモリセル部ではワード線となるゲート電極103bを形成する。

【0037】図示されないレジスト膜を形成した後、このレジスト膜、ゲートキャップ層103c、ゲート電極103bをマスクとして、ソース/ドレイン拡散層となるn⁻型又はp⁻型の不純物拡散層をシリコン基板101の所望の領域の表面に、例えばイオン注入法により形成する。

【0038】全面に例えれば膜厚 20 nm 程度のシリコン窒化膜(Si₃N₄)をLPCVD法により堆積した後、シリコン窒化膜に対してRIE法によるエッティングを行い、ゲート電極の側壁部に側壁絶縁膜103dを形成した後、レジスト膜と側壁絶縁膜103d及びゲートキャップ層103cとをマスクにして所望の領域にイオン注入法でn⁻(又はp⁻)型の不純物拡散層を形成することによって、LDD構造のソース/ドレイン拡散層103eを形成する。

【0039】次に、例えればCVD法でBPSGからなる

第1の層間絶縁膜104を堆積した後、第1の層間絶縁膜104の表面を例えばCMP(Chemical Mechanical Polish)法を用いて全面を研磨して平坦化する。このCMP法による第1の層間絶縁膜104の平坦化により、ウェハ全面がほぼ全面に渡って平坦化される。

【0040】次に、第1の層間絶縁膜104上に開口パターンを有するレジスト膜を形成した後、第1の層間絶縁膜104をエッティングし、第1の層間絶縁膜104にそれぞれのソース/ドレイン拡散層103eに接続するコンタクトホールを形成する。

【0041】レジスト膜を除去した後、全面にリン(P⁺)や砒素(As⁺)等を不純物としてドーピングしたn⁺型のポリシリコン層をLPCVD法により堆積した後、CMP法やRIEを用いたエッチバック法を用いてコンタクトホールにn⁺型のポリシリコンからなるコンタクト105を完全に埋め込み形成する。この埋め込まれたn⁺型のポリシリコンからなるコンタクト105は、ソース/ドレイン拡散層103eと電気的に接続されている。

【0042】次に、第1の層間絶縁膜104上にソース/ドレイン拡散層103eに接続するビット線106を形成する。次いで、ビット線106を覆う第2の層間絶縁膜107を堆積する。第2の層間絶縁膜107にビット線106に接続されていないコンタクト105が露出するコンタクトホールを形成する。コンタクトホール内に、バリアメタル108a及びタンクステン膜108bを埋め込む。CMPにより第2の層間絶縁膜107上の金属膜を取り除いて、コンタクトホール内にコンタクト105を介してソース/ドレイン拡散層103eに接続するコンタクトプラグ108を形成する。

【0043】次いで、図1(b)に示すように、電極支持層となるシリコン窒化膜109をLPCVDにより 50 nm 形成する。次にシリコン窒化膜109上にルテニウム膜(導体膜)110をスパッタ法により 20 nm 形成する。次にルテニウム膜110上に銹型層の犠牲膜としてシリコン酸化膜111をプラズマCVD法により 500 nm 形成する。

【0044】次いで、全面にレジストを塗布し、フォトリソグラフィ技術によって、キャパシタのマスターパターンを形成する。レジストをマスクにしてシリコン酸化膜111をエッティング加工した後、アッショングによってレジスト膜を除去する。更に加工したシリコン酸化膜111をマスクにして、ルテニウム膜110及びシリコン窒化膜109をエッティング加工し、図1(c)に示すように、キャパシタ下部電極が形成される開口部112を形成する。この開口部112の底面にはコンタクトプラグ108が露出している。

【0045】次いで、開口部112側壁に露出したルテニウム膜110をシード層として電解めっき法により白金膜113を開口部112内に選択的に成長させる。め

つき法の条件は以下のようなものである。

【0046】めっき溶液を PtCl₄·5H₂O (5~100 g/L)、HCl (5~100 g/L)、NH₄Cl (10~100 g/L) および NH₃ (28% 水溶液) で構成し、0.5 < pH < 2.5、溶液温度を室温、電流密度 0.005~0.1 A/cm² とした。

【0047】なお、以降の製造工程の説明において、図2(d)～図2(h)では、シリコン基板101、素子分離層102、トランジスタ103、第1の層間絶縁膜104、及びコンタクト105の図示を省略している。

【0048】図2(d)に示すように、電解めっきで形成される白金膜113はシード層のルテニウム膜110の側壁露出部からほぼ等方的に成長し、シリコン窒化膜109にそって成長してコンタクトプラグ108表面に達する。これで白金膜(下部電極)110とコンタクトプラグ108との接続が達成される。

【0049】白金膜113は更に成長し、開口部112の断面を完全に埋めるに至ると上方に向かって成長する。図2(e)に示すように、めっき時間を適切に調整することで、開口部内で白金の成長をとどめることができ、シリコン窒化膜109上に白金膜が形成されないようにすることができる。

【0050】次いで、図2(f)に示すように、ウェットエッチングでシリコン酸化膜111を除去する。このとき、白金膜113とシード層のルテニウム膜110は強固につながっているので、シード層のルテニウム膜110とシリコン窒化膜109との間にエッチング液がしみこんで、第2の層間絶縁膜107がエッチングされる等の問題がおこらないという利点がある。

【0051】次いで、図2(g)に示すように、R I Eにより前記シード層のルテニウム膜110をエッチングして除去する。以上によりキャバシタ下部電極形状の白金膜113が形成される。この工程で、白金膜113の周りに多少のルテニウム膜110が残っていても良い。

【0052】ここで、ルテニウム膜110のように酸化されにくい貴金属を導体膜として用いることにより、導体膜を完全に除去する必要はない。特に、ルテニウム膜やオスミウム(Os)膜、或いはルテニウム酸化(RuO_x)膜の上に、シリコン整粒充電材を導体

O_2^- ）膜のトライエッティングが比較的容易な材料を導体膜として用いている場合は、各キャパシタ電極が電気的に分離される程度の最小限のエッチングを行えばよい。

【0053】次いで、図2（h）に示すように、CVD

法により $Ba_x Sr_{1-x} Ti O_3$ 膜 114、更に上部電極となるルテニウム膜 115 を形成する。続いてフォトリソグラフィ技術及び RIE 技術によりルテニウム膜を加工することにより、メモリセル領域が形成される。続いて絶縁膜及び配線を形成することにより半導体装置が形成されるが以下の工程は省略する。

【0054】以上説明したように、白金膜113(下部電極)とコンタクトプラグ108との合わせずれが生じ

ても、コンタクトプラグ108の表面には支持層109が形成されるので、金属酸化物からなるキャパシタ絶縁膜を形成する際に、コンタクトプラグ108の表面が酸化されることはない。

【0055】また、白金膜113（下部電極）は、その根元が支持層109内部に埋め込まれた形状になるため、倒れにくくなる。そのため、貴金属等の下地密着性の悪い金属もキャバシタ電極として用いることができる。

【0056】開口部側面の底部に露出するルテニウム膜110をシード層に用いて、白金膜113の電解めっきを行うことにより、シード層の周辺からめっき成長してきた白金113膜が開口部中心付近で会合することによって生じる「す」が電極の底側に形成されるので、キャパシタ上部の形状がなめらかになる。また、キャパシタ上部から「す」を介して、酸素等が拡散する問題がおこらない。

【0057】白金膜113を、開口部112の底部側から選択的にめっき成長させることで、周辺からめっき成長してきた電極材が開口部中心付近で会合することによって生じる「す」が白金膜113の底側に形成されるので、キャパシタ上部の形状がなめらかになる。また、キャパシタ上部から「す」を介して、酸素等が拡散する問題がおこらない。

【0048】なお、ここではめっき法で形成する電極膜としては白金を用いたが、ルテニウム膜、イリジウム膜を用いることも、可能である。

【0059】また、シード層として窒化チタン膜、窒化タンタル膜、窒化タングステン膜、タンタル膜を用いること可能である。

【0060】貴金属でない導電膜をシードに用いる利点として、ドライエッキングでの除去が容易である、従来半導体製造プロセスで用いられてきた金属乃至金属化合物膜がそのまま使える、従ってシード膜による金属汚染の問題を考慮する必要がない、従ってシード膜上にプラズマCVDで形成されたシリコン等の犠牲膜を形成する際の犠牲膜形成装置の汚染等の問題を回避することができる等があげられる。

【0061】シード層として窒化チタン膜を用いても、本発明の方法ではシード膜を最終的に完全に除去してしまうことができ、高誘電体膜成膜時に酸化されてしまう問題がないので、窒化チタン膜、窒化タンタル膜、窒化タンゲステン膜、タンタル膜等の貴金属でない導電膜を用いることが可能である。

【0062】また、キャパシタ絶縁膜として、SrBi₂Ta₂O₉(SBT)膜等の強誘電体を用いて、FeRAMのメモリセルを形成することも可能である。

【0063】(第2の実施形態)本実施形態ではシード層として接着膜の下にスパッタで形成しておいたルテニウム膜とロング・スロー・スパッタ(LTS)法で形成

したルテニウム膜とを併用することで、キャパシタ下部電極を深く支持膜内に埋め込んだ構造を形成するものである。これにより、アスペクト比の大きい下部電極を形成しても、電極が倒れる等の問題を抑止することができる。

【0064】図3、図4は本発明の第2の実施形態に係る半導体装置の製造工程を示す工程断面図である。第1の実施形態において図1(a)～図1(c)を用いて説明した工程を用いて、図3(a)に示すような構造を形成する。なお、本図(図3(a))、並びに図3(b)～図4(h)では、シリコン基板101、素子分離層102、トランジスタ103、第1の層間絶縁膜104、及びコンタクト105の図示を省略している。

【0065】次いで、図4(b)に示すように、ロング・スロー・スパッタ法でルテニウム膜310を基板全面(開口部112の側壁に形成される)に形成する。次いで、図4(c)に示すように、RIE技術でエッチバックすることにより、開口部112側壁部にのみルテニウム膜310を残存させる。

【0066】次いで、ルテニウム膜310をシード層として電解めっき法によりルテニウム膜を前記開口部内に選択的に成長させる。それぞれの開口部112内のルテニウム膜310はルテニウム膜110によって電気的に接続されているので、電解めっき法により開口部内のルテニウム膜310をシード層として用いて、開口部内にルテニウム膜を選択成長させることができる。図6に示した従来の製法では、開口部の側壁にルテニウム膜を選択的に残すと、それぞれの開口部内のルテニウム膜は、電気的に接続していないために、電解めっきを行うことができない。

【0067】ルテニウム膜のめっき条件は以下のようなものである。めっき液は、Ru NOCl₃ (1～10g/L) 及びH₂SO₄ (50～100g/L) で構成し、0.5 < pH < 3、溶液温度を55℃から77℃に加熱し、電流密度0.001～0.03A/cm²とした。

【0068】電解めっきで形成されるルテニウム膜313は、開口部112側壁のルテニウム膜310からほぼ等方的に成長し、図4(d)に示すように、コンタクトプラグ108表面に達し、開口部112下部を埋め尽くす。これでルテニウム膜313(キャパシタ下部電極)とコンタクトプラグ108との接続が達成される。

【0069】ルテニウム膜313は更に成長し、上方に向かって成長する。めっき時間を適切に調整することで、開口部112内でルテニウム膜313の成長をとどめることもできる。本実施形態では、図4(e)に示すように、キャパシタ下部電極の上面形状を整えるためにルテニウム膜313が開口部からはみ出した状態でめっきを終了させる。

【0070】次いで、図4(f)に示すように、CMP技術により、開口部外にはみ出したルテニウム膜313

を除去し、開口部内へのルテニウム膜313の埋め込みが行われる。

【0071】シード層であるルテニウム膜310はシリコン酸化膜の上に形成されておらず、開口部からルテニウム膜がはみ出す状態で電解めっきを終了させても、シリコン酸化膜上に厚いルテニウム膜が形成されない。よって、このCMP工程で、ルテニウム膜313の除去が容易に行われる。

【0072】次いで、図4(g)に示すように、ウェットエッティングでシリコン酸化膜111を除去し、RIEによりルテニウム膜110をエッティングして除去する。以上によりキャパシタ下部電極としてのルテニウム膜313が形成される。

【0073】次いで、図4(h)に示すように、CVD法によりBa_xSr_{1-x}TiO₃膜114、更に上部電極となるルテニウム膜115を形成する。続いて、フォトリソグラフィ技術及びRIE技術によりルテニウム膜を加工することにより、メモリセル領域が形成された。続いて絶縁膜及び配線を形成することにより半導体装置が形成されるが以下の工程は省略する。

【0074】本実施形態によれば、電解めっき法におけるシード層として、前記開口部に選択的に形成されたルテニウム膜310(第2の導体膜)を用いることにより、下部電極に形成される“す”的位置が底面側に位置するので、より厚い電極支持層を用いることができるようになり、電極が倒れることを抑止効果が大きくなる。

【0075】開口部内のスパッタ法で形成されるルテニウム膜は、開口部の側壁に露出するルテニウム膜によって、電気的に接続されているので、開口部の底まで形成する必要がなく、側壁のみに形成されればよい。従つて、スパッタ法を用いて容易にシード層を形成することができる。

【0076】また、全面にシード層を形成した後、側壁残しRIEを行って、鋳型層上のルテニウム膜を除去することによって、基板全面に厚いめっき膜が形成されることがない。よって、貴金属膜の加工が容易である。

【0077】(第3の実施形態) 本発明の第3の実施形態を図5を参照して説明する。本実施例ではシード層としてスパッタで形成したルテニウム膜とCVDで形成したルテニウム膜とを併用することで、キャパシタ下部電極を深く支持膜内に埋め込んだ構造を形成するものである。CVD-Ruは適切な成膜条件を選定することで、選択成長をさせることができるので第2の実施形態で行ったような側壁残しRIE工程は不要である。

【0078】第1の実施形態において図1(a)～図1(c)を用いて説明した工程を用いて、図5(a)に示すような構造を形成する。なお、本図(図5(a))、並びに図5(a)～図5(h)では、シリコン基板101、素子分離層102、トランジスタ103、第1の層間絶縁膜104、及びコンタクト105の図示を省略し

ている。

【0079】次に、図5(b)に示すように、CVD法でルテニウム膜410を形成する。CVD原料ガスとしてRu(Et₂Cp)₂[Ru(C₅H₄(C₂H₅)₂)]₂及び酸素ガスを用い、成膜温度300°C、成膜圧力50PaでCVDを行うと、ルテニウム膜は選択成長をするようになり、シードとなるルテニウム膜上及びルテニウム膜の近傍(～1ミクロン)にのみ成長するようになる。従って、ルテニウム膜410は、ルテニウム膜110の近傍にのみ成長するので、開口部112の底部を被覆するかたちで成長する。

【0080】次いで、図5(c)に示すように、開口部112底部にCVDにより成長させたルテニウム膜410をシード層として電解めっき法によりルテニウム膜413を前記開口部内に選択的に成長させる。めっき法の条件は以下のようなものである。

【0081】めっき浴をRuNOCl₃(1～50g/L)、HCl(5～100g/L)、NH₄Cl(10～100g/L)およびNH₃(28%水溶液)で構成し、0.5 < pH < 3、溶液温度を室温に保持し、電流密度0.005～0.05A/cm²とした。

【0082】電解めっきで形成されるルテニウム膜413は、図5(c)に示すように、シード層のルテニウム膜410からほぼ等方に成長し、コンタクトプラグ406表面に達し、開口部下部を埋め尽くす。これでルテニウムキャバシタ下部電極とコンタクトプラグの接続が達成される。

【0083】ルテニウム膜413は更に成長し、上方に向かって成長する。めっき時間を適切に調整することで、図5(d)に示すように、開口部内でルテニウムの成長をとどめる。次に、基板全面にレジスト膜414を塗布し、CMP技術により、開口部外にはみ出した、シリコン酸化膜上のレジスト膜414を除去する。

【0084】次いで、図5(e)に示すように、ウェットエッティングでシリコン酸化膜111を除去し、RIEによりレジスト膜414をマスクに用いてルテニウム膜110をエッティングして除去し、更にアッシングにより、前記レジスト膜414を除去する。以上によりキャバシタ下部電極となるルテニウム膜410が形成される。

【0085】次いで、図5(f)に示すように、CVD法によりBa_xSr_{1-x}TiO₃膜、更に上部電極となるルテニウム膜を形成する。続いてフォトリソグラフィ技術及びRIE技術によりルテニウム膜を加工することにより、メモリーセル領域が形成された。続いて絶縁膜及び配線を形成することにより半導体装置が形成されるが以下の工程は省略する。本実施形態では、選択成長をさせることができるので第2の実施形態で行ったような側壁残しRIE工程は不要となる。

【0086】なお、本発明は、上記実施形態に限定されるものではない。例えば、下部電極を構成する電極材、及び導体膜としては、Ru, Pt, Ir, Pd, Os, Re, 及びRhの少なくとも一つを主たる構成要素として含む物質を用いることができる。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0087】

【発明の効果】以上説明したように本発明によれば、下部電極とコンタクトプラグとの合わせずれが生じても、コンタクトプラグの表面には支持層が形成されるので、金属酸化物からなるキャバシタを形成しても、プラグの表面が酸化されることがない。

【0088】下部電極の根元は電極支持層内部に埋め込まれた形状になるため、倒れにくくなる。そのため、貴金属等の下地密着性の悪い金属もキャバシタ電極として用いることができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図2】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】第2の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】第2の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図5】第3の実施形態に係わる半導体装置の製造工程を示す工程断面図。

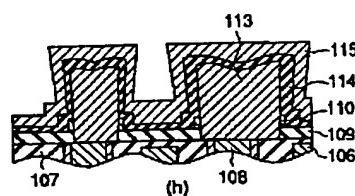
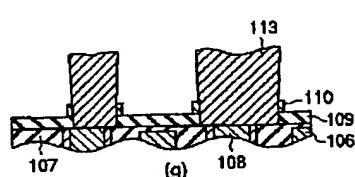
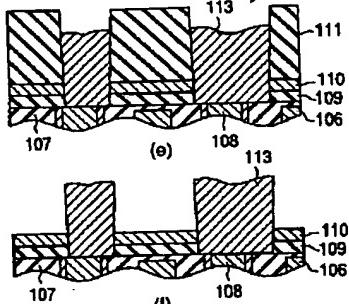
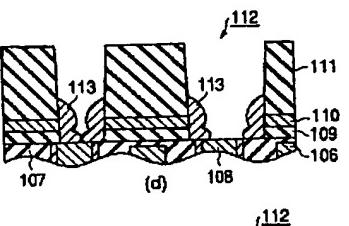
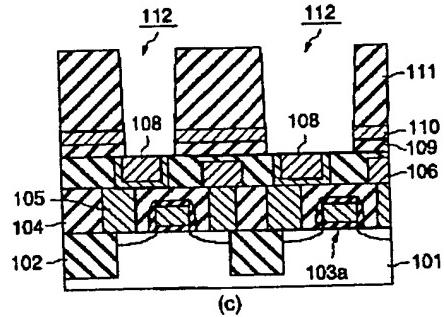
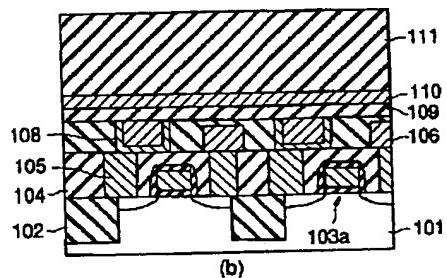
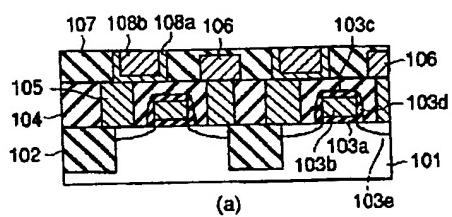
【図6】従来の半導体装置の製造工程を示す工程断面図。

【図7】従来の半導体装置の製造工程を示す工程断面図。

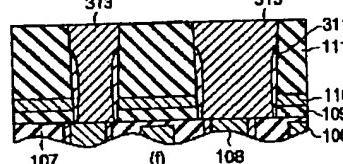
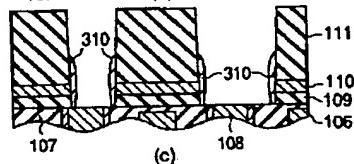
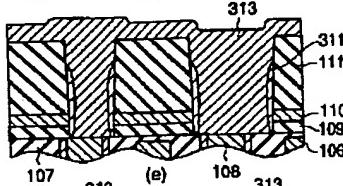
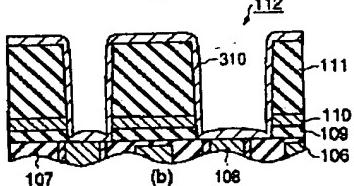
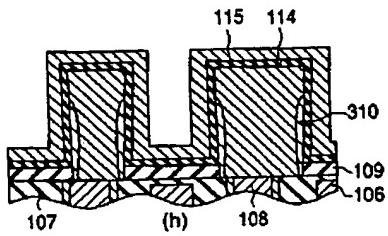
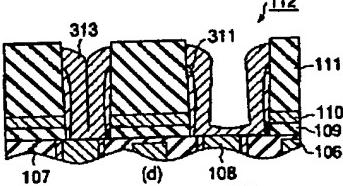
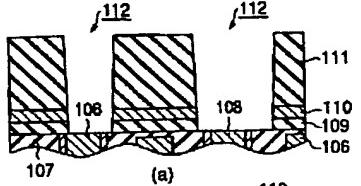
【符号の説明】

- 101…シリコン基板
- 102…素子分離層
- 103…トランジスタ
- 104…第1の層間絶縁膜
- 105…コンタクト
- 106…ビット線
- 107…第2の層間絶縁膜
- 108…コンタクトプラグ
- 109…シリコン窒化膜
- 110…ルテニウム膜
- 111…シリコン酸化膜
- 112…開口部
- 113…白金膜
- 114…Ba_xSr_{1-x}TiO₃膜
- 115…ルテニウム膜

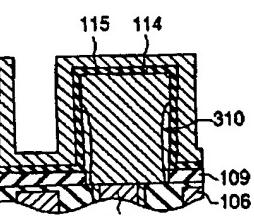
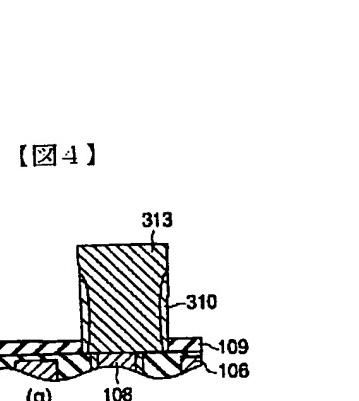
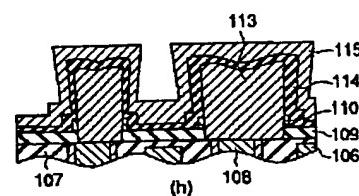
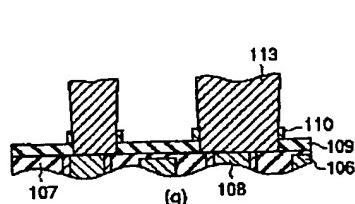
【図1】



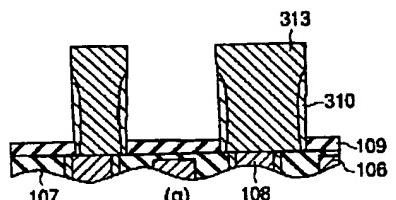
【図3】



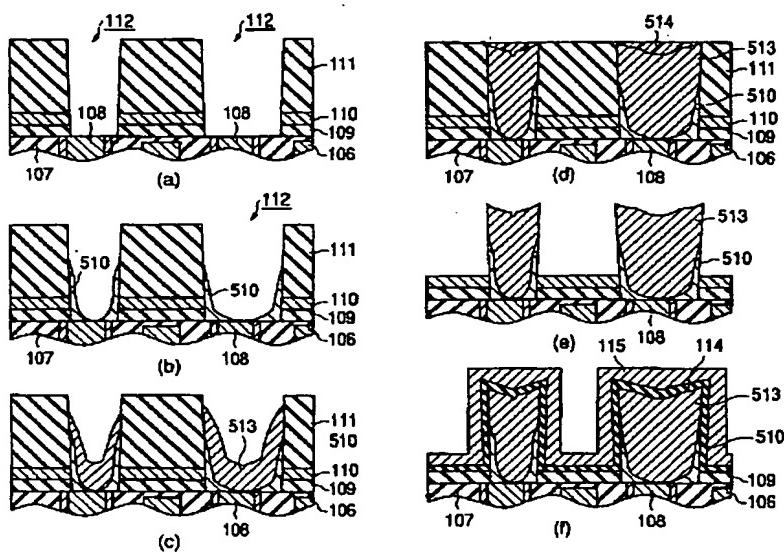
【図2】



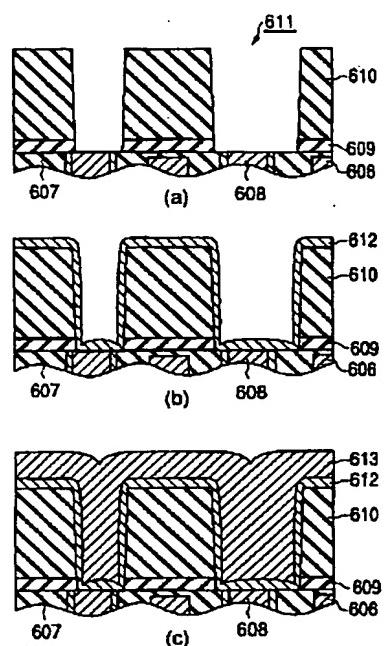
【図4】



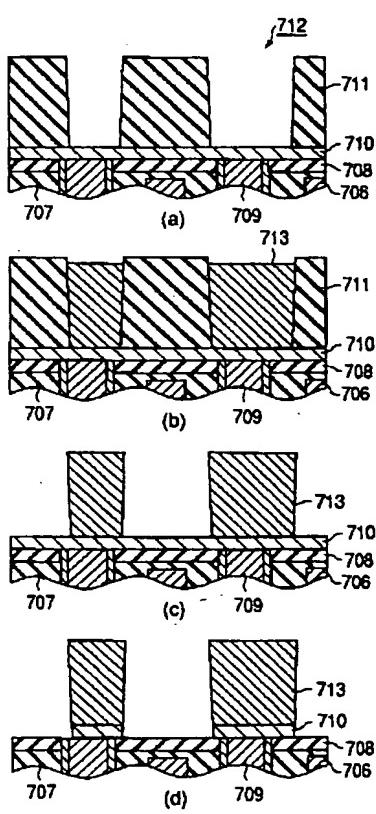
【図5】



【図6】



【図7】



フロントページの続き

(51) Int.C1. ⁷	識別記号	F I	マークド(参考)
H O 1 L	27/108	H O 1 L	27/10
			4 4 4 B

F ターム(参考) 4K024 AA12 AB01 AB15 AB19 BA11
BB12 FA05 GA16
4M104 AA01 BB01 DD02 DD04 DD08
DD19 DD26 DD37 DD52 EE16
EE17 FF13 FF14 FF16 FF22
GG09 GG16 GG19 HH13 HH20
5F083 AD10 AD42 AD48 ER02 GA27
JA02 JA14 JA17 JA32 JA35
JA38 JA39 JA40 JA53 JA56
MA05 MA06 MA17 MA20 NA01
PR00 PR03 PR05 PR09 PR21
PR22 PR36 PR40